

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 9月25日

出 願 番 号

Application Number:

特願2000-290259

出 願 人

Applicant(s):

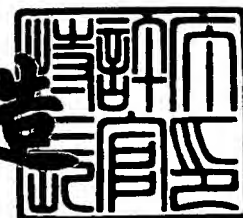
ソニー株式会社



2001年 5月31日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3049563

【書類名】 特許願

【整理番号】 9900452202

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/316

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 田中 嘉幸

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 榎本 容幸

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 齋藤 正樹

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 基板上にフッ素添加酸化シリコン層を有する層間絶縁膜を形成する半導体装置の製造方法であって、

プラズマ処理装置のチャンバ内においてフッ素添加酸化シリコン層を形成した後、当該チャンバ内において当該フッ素添加酸化シリコン層の形成に連続させて当該フッ素添加酸化シリコン層の形成温度よりも高い温度条件で酸化シリコン層を形成し、前記基板上にフッ素添加酸化シリコン層とその上層の酸化シリコン層とを有する層間絶縁膜を形成する

ことを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、前記酸化シリコン膜の形成温度は、450℃以下である

ことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、前記酸化シリコン層上に絶縁層を形成した後、前記フッ素含有酸化シリコン層を露出させることなく当該絶縁層をその表面側から化学機械的研磨またはプラズマエッチングすることによって平坦化する

ことを特徴とする半導体装置の製造方法。

【請求項 4】 基板上にフッ素添加酸化シリコン層を有する層間絶縁膜を形成する半導体装置の製造方法であって、

プラズマ処理装置のチャンバ内においてフッ素添加酸化シリコン層を形成した後、当該チャンバ内において当該フッ素添加酸化シリコン層の形成に連続させて当該フッ素添加酸化シリコン層の表面層をスパッタリングによって除去する

ことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 記載の半導体装置の製造方法において、前記フッ素添加シリコン層の表面層をスパッタリングした後、当該フッ素添加酸化シリコン層上に絶縁層を形成し、次いで前記フッ素含有酸化シリコン層を露出させることなく当該絶縁層をその表面側から化学機械的研磨またはプラズマエ

ツチングすることによって平坦化する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は半導体装置の製造方法に関し、特に低誘電率のフッ素添加酸化シリコンを層間絶縁膜に用いた半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、半導体装置の高集積化及び高機能化の要求にともない、素子構造の微細化および多層配線化が進展している。このような半導体装置においては、配線容量の増大による信号遅延や消費電力の増加の問題が深刻化している。この対策として、配線材料に低抵抗配線材料である銅(Cu)を用いることを可能とするデュアルダマシン配線形成技術が報告されている。しかし、この方法は、新たな設備投資が必要であり、製造コストが高くなるといった問題がある。

【 0 0 0 3 】

そこで、図6に示すように、基板1上の配線2間を埋め込む層間絶縁膜3に低誘電材料を用いる方法が提案されており、フッ素を含有する酸化シリコン（いわゆるFSG: fluorinated silicate glass）膜やポリイミド系の有機樹脂等の低誘電率絶縁膜材料を用いることが検討されている。特に、FSG膜は、通常の酸化シリコン膜形成用のプラズマCVD(chemical vapor deposition)装置を用いた成膜が可能であり、また層間絶縁膜形成プロセスにおける酸化シリコン膜との置き換えが比較的容易である等、低コスト材料技術として有望視されている。

【 0 0 0 4 】

しかし、FSG膜は、低誘電率化するためにフッ素濃度を高くすると、吸湿によって膜質が劣化し、上部に形成した金属配線膜に剥がれが生じ易くなる。これを防止するための手法として、例えば特願平7-29975号明細書や特開平7-74245号公報にはFSG膜上に酸化シリコン膜を積層することでFSG膜の吸湿を抑制する手法が開示されている。

【 0 0 0 5 】

また、FSG膜は、プラズマ援用により500℃以下の低温で形成されるため、膜形成時のプラズマ中に生成される遊離フッ素や遊離水素などの遊離結合種が膜中に取り込まれ易く、取り込まれた遊離結合種は金属配線膜の成膜時に脱離し、金属配線膜の膜剥がれを引き起こす要因になることが知られている。このため、FSG膜の成膜後には、成膜温度以上の熱処理を加え、これによって膜中の遊離結合種を脱離させる必要がある。

【 0 0 0 6 】

そして、配線を覆う層間絶縁膜を平坦化する場合には、図7に示すように、基板1上の配線2を覆う状態でFSG膜3を形成し、さらにこのFSG膜3上に平坦性に優れた成膜法にて絶縁膜4を形成した後、この絶縁膜4に対して化学機械的研磨（Chemical Mechanical Polishing以下、CMP研磨と記す）を施している。しかし、このCMP研磨がFSG膜3にまで達すると、研磨スラリーの水溶液との反応によってFSG膜3中からフッ素が脱離するなどの膜構造の変化が生じ、FSG膜3の露出表面層において膜質の劣化が引き起こされる。

【 0 0 0 7 】

図8～図10には、成膜ガスにTEOS（tetraethoxy silane）／酸素（ O_2 ）／6フッ化エタン（ C_2F_6 ）を用いて平行平板プラズマCVD装置により形成したFSG膜に対して、通常の酸化シリコン膜の研磨条件にてCMP研磨を行った場合のFSG膜の膜質の変化を、CMP研磨前（as-deposited）とCMP研磨後で比較したグラフを示す。尚、図8における縦軸のSi-F結合量は、FT-IR／ATR法によって求めたSi-F結合ピークのSi-O結合ピークに対する面積比を示している。また、図9における縦軸の-OH結合量は、FT-IR／ATR法によって求めた-OH結合ピークのSi-O結合ピークに対する面積比を示している。

【 0 0 0 8 】

図8に示すように、CMP研磨後には、FSG膜中のSi-F結合量が減少していることがわかる。また、図9に示すように、CMP研磨後には、FSG膜中の水酸基の結合量が増大していることがわかる。さらに、図10に示すように、

CMP 研磨後には、F S G 膜における屈折率、比誘電率が共に上昇していることがわかる。

【 0 0 0 9 】

これらの変化（劣化）は、CMP 研磨によって F S G 膜が吸湿し、S i - F 結合の加水分解が生じたためと考えられる。

【 0 0 1 0 】

以上のような F S G 膜の膜質の劣化による F の拡散を防止するために、特開平 1 0 - 3 2 6 8 2 9 号公報には、図 1 1 に示すように、CMP 研磨による研磨面 5 上に酸化シリコン膜 6 をキャップ層として形成し、これにより F S G 膜 3 上における配線剥がれを抑制する方法が開示されている。しかしながら、CMP 研磨による膜質の劣化部分 A が F S G 膜 3 の膜中にまで達している場合、上述したように F S G 膜 3 の低誘電率効果が消失している恐れもある。このため、CMP 研磨後にスパッタリングを行うことで変質部分 A を除去し、その後、キャップ層となる酸化シリコン膜 6 を形成する方法も提案されている。

【 0 0 1 1 】

【発明が解決しようとする課題】

ところが、以上説明した製造方法のうち、F S G からなる層間絶縁膜上における膜剥がれを防止するために、F S G 膜の形成後に酸化シリコン膜を形成したり熱処理を加える方法では、F S G 膜の成膜チャンバと酸化シリコン膜の成膜チャンバあるいは熱処理チャンバとの間で基板の出し入れを行う必要がある。これは、半導体装置の製造工程数を増大させる要因になっている。

【 0 0 1 2 】

また、CMP 研磨後に、研磨表面層をスパッタリングしたり、研磨表面上に酸化シリコン層を形成する方法も、半導体装置の製造工程数を増大させる要因になっている。

【 0 0 1 3 】

そこで本発明は、工程数を増加させることなく膜質の良好な F S G 膜を形成する半導体装置の製造方法を提供することを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

このような目的を達成するための本発明の半導体装置の製造方法は、基板上にフッ素添加酸化シリコン層を有する層間絶縁膜を形成する半導体装置の製造方法である。第1の方法は、プラズマ処理装置のチャンバ内においてフッ素添加酸化シリコン層を形成した後、当該チャンバ内において当該フッ素添加酸化シリコン層の形成に連続させて当該フッ素添加酸化シリコン層の形成温度よりも高い温度条件で酸化シリコン層を形成し、これによってフッ素添加酸化シリコン層とその上層の酸化シリコン層とを有する層間絶縁膜を形成することを特徴としている。

【0015】

このような第1の方法では、フッ素含有酸化シリコン層の形成温度よりも高い温度条件で酸化シリコン層を形成することで、フッ素含有酸化シリコン層の形成時に膜中に取り込まれた遊離結合種を、酸化シリコン層形成の際にフッ素含有酸化シリコン層中から脱離させることができる。しかも、フッ素含有酸化シリコン層の形成と酸化シリコン層の形成が同一チャンバ内で連続して行われるため、各膜の形成条件を変更するだけで工程数を増加させることもない。

【0016】

また、第2の方法は、プラズマ処理装置のチャンバ内においてフッ素添加酸化シリコン層を形成した後、このチャンバ内に当該フッ素添加酸化シリコン層の形成に連続させて当該フッ素添加酸化シリコン層の表面層をスパッタリングによって除去することを特徴としている。

【0017】

このような第2の方法では、フッ素含有酸化シリコン膜の表面層をスパッタリングすることで、プラズマエネルギーによる低温アニール効果がフッ素含有酸化シリコン層に作用する。このため、スパッタリングの際に、フッ素含有酸化シリコン層の形成時に膜中に取り込まれた遊離結合種を当該フッ素含有酸化シリコン層中から脱離させることができる。しかも、フッ素含有酸化シリコン層の形成とスパッタリングとが同一チャンバ内で連続して行われるため、反応ガス種や処理条件を変更するだけで工程数を増加させることもない。

【0018】

【発明の実施の形態】

以下、本発明の半導体装置の製造方法を適用した実施の形態を図面に基づいて詳細に説明する。

【0019】

(第1実施形態)

図1は、本発明の第1実施形態を説明するための断面工程図であり、以下この図に基づいて第1実施形態の製造方法を説明する。

【0020】

先ず、図1(1)に示すように、例えば単結晶シリコンからなる半導体基板の表面を酸化シリコン膜で覆ってなる基板11上に、金属配線(ここではアルミニウム配線)12を形成する。このアルミニウム配線12は、例えば600nmの高さに形成され(上部の反射防止膜12aを含む)、これによって基板1上に段差が形成される。また、アルミニウム配線12形成におけるエッチング加工の際の下地(酸化シリコン膜)の膜減り量h1は50nm程度になる。

【0021】

次に、図1(2)に示すように、ICP(inductively coupled plasma)方式の高密度プラズマ(high density plasma: HDP)CVD装置を用い、アルミニウム配線12を埋め込むギャップフィル絶縁膜として、フッ素添加酸化膜(以下、FSG膜と記す)13を基板11上に形成する。ここでは、例えば、アルミニウム配線12の下地の膜減り量(h1=50nm)を考慮して600nmの膜厚でFSG層13を形成する。

【0022】

FSG層3の成膜条件の一例を示す。

成膜温度 : 380℃、

成膜雰囲気圧力 : 0.67Pa、

ICPパワー : 4.2kW、

バイアスRFパワー : 2.2kW、

成膜ガス及び流量 : アルゴン(Ar) = 65 (cm³ / min)、

: 酸素(O₂) = 110 (cm³ / min)、

: シラン (SiH_4) = $30 \text{ (cm}^3 / \text{min)}$ 、
 : 4フッ化シラン (SiF_4) $35 \text{ (cm}^3 / \text{min)}$ 。

【0023】

その後、FSG層13の形成に連続させて、酸化シリコン（いわゆるNSG：non-doped silicate glass）層14の形成を行う。このNSG層14の形成は、FSG層13の形成と同一チャンバ内においてin-situで行い、FSG層13の形成温度よりも温度条件を高く設定して行うこととする。ただし、NSG層14の形成温度は、アルミニウム配線12のストレスマイグレーションが防止される 450°C 以下の範囲に設定されることとする。また、NSG層14の膜厚は、TAT（Turn Around Time）及びアルミニウム配線12のストレスマイグレーションの防止を考慮して30秒以下の成膜時間で形成される膜厚に設定され、ここでは 200 nm の膜厚で形成されることとする。さらにここでは、より多くのSi-H結合を持つことで耐透水性の良好なNSG層14が得られ、しかも、NSG層14の成膜速度とスパッタ速度との比を最適化して配線12上におけるFSG層13とNSG層14の膜厚の面内均一性が良好となるように、例えば以下のようにNSG層14の形成条件を設定する。

【0024】

NSG層14の形成条件の一例を示す。

成膜温度 : 430°C 、
 成膜雰囲気圧力 : 0.93 Pa 、
 ICPパワー : 4.5 kW 、
 バイアスRFパワー : 3.0 kW 、
 成膜ガス及び流量 : Ar = $130 \text{ (cm}^3 / \text{min)}$ 、
 : O_2 = $190 \text{ (cm}^3 / \text{min)}$ 、
 : SiH_4 = $110 \text{ (cm}^3 / \text{min)}$ 。

【0025】

以上の後、図1(3)に示すように、TEOSガスを用いたプラズマCVD法によって、このNSG層14上に新たな酸化シリコン（いわゆるP-TEOS）層15を、 1550 nm の膜厚に形成する。

【 0 0 2 6 】

しかる後、このP-TEOS層15を、その表面側からCMP研磨する。この際、基板1上の全面においてCMP研磨がFSG層13に達することのないように、アルミニウム配線12の加工条件、FSG層13、NSG層14及びP-TEOS層15の膜厚、さらにはCMP研磨後における最浅残膜量 h_2 に基づいて研磨膜厚を設定する。尚、最浅残膜量とは、アルミニウム配線12の密度が最も疎で研磨速度が速い領域におけるアルミニウム配線12上の絶縁膜の残膜量であり、FSG層13、NSG層14及びP-TEOS層15の残膜量を合わせた膜厚（例えばここでは $h_2 = 675\text{ nm}$ ）であることとする。

【 0 0 2 7 】

そこでここでは、CMP研磨における研磨膜厚を 1000 nm 相当に設定し、FSG層13の表面が最も高い部分においてもNSG層14においてCMP研磨を停止させるようにする。

【 0 0 2 8 】

以上のようにしてFSG層13上にNSG層14及びP-TEOS層15を積層してなる表面平坦な層間絶縁膜を得る。その後、ここでの図示は省略したが、層間絶縁膜に接続孔を形成してアルミニウム配線12に接続されるプラグを形成し、さらにこのプラグに接続される上層配線を形成し半導体装置を完成させる。

【 0 0 2 9 】

以上説明した製造方法によれば、FSG層13の形成温度よりも高い温度条件でNSG膜14を形成することで、FSG層31の形成時に膜中に取り込まれた遊離結合種をFSG層13中から脱離させることができる。図2には、FSG層13とNSG層14とを同一チャンバ内においてin-situ連続成膜した場合の温度プロファイルを示す。この温度プロファイルに示すように、NSG層14を形成する際の温度条件は、FSG層13を形成する際の温度条件よりも高く設定されているため、NSG層14を形成する際に、FSG層13中の遊離結合種が膜中から脱離されるのである。

【 0 0 3 0 】

図3には、各積層膜の昇温による遊離結合種（水素及びフッ素）の脱ガス量を

示す。この図に示すように、ウエハの中央部 (Wafer Center)、ウエハの周縁部 (wafer Edge) 共に、FSG層単層膜 (FSG 600 nm) からの脱ガス量と比較して、FSG層上にin-situでNSG層を形成してなる積層膜からの脱ガス量が少なくなっている。このことから、第1実施形態の製造方法では、NSG層の形成時にFSG層中からの遊離結合種の脱離が進み、FSG層単層膜と比較しFSG層からの遊離結合種の昇温脱離特性の向上が図られていることが確認される。

【0031】

また、上述したように、NSG層14を形成する際にFSG層13中の遊離結合種が膜中から脱離するため、FSG膜14の耐吸湿性の向上を図ることもできる。

【0032】

しかも、FSG層13とNSG層14の形成が同一チャンバ内で連続して行われるため、各層の形成条件を変更するだけでチャンバ内に対して基板11の出し入れを行う必要はない。この結果、工程数を増加させることなく、遊離結合種の含有量が少なく膜質の良好なFSG層13を有する層間絶縁膜を得ることができ、例えばこの上部に配線を形成した場合であっても、この配線の剥がれを防止することが可能になる。

【0033】

さらに、本実施形態においては、NSG層14上のP-TEOS層15をCMP研磨する際、FSG層13が露出することのないように各条件を設定している。このため、CMP研磨によってFSG層13が変質して劣化することを防止でき、FSG層13を膜形成時の良好な状態に維持することが可能になる。また、従来技術で図11を用いて説明した方法と比較して、工程数を少なくすることができるだけでなく、FSG層の膜質の信頼性の向上を図ることもできる。つまり、図11を用いて説明した方法では研磨面をスパッタリングした後の変質部分Aの除去残りの懸念があり、FSG層膜質の信頼性にかける。しかし、本実施形態では、FSG層13にCMP研磨が達することがないので、製造工程中においてFSG層13に変質部分が生じることはないのである。

【 0 0 3 4 】

しかも、FSG層13上に、より多くのSi-H結合を持つことで耐透水性の高いNSG層14を形成するようにしたことで、CMP研磨の際の水分の浸入をこのNSG層14でブロックし、FSG層13の吸湿を防止することができる。したがって、FSG層13の吸湿による劣化を確実に防止することが可能になる。さらに、NSG層14の成膜速度とスパッタ速度との比を調整したことで、配線12に接続されるプラグの深さばらつきが小さくなり、配線歩留まりの低下を抑制することが可能になる。

【 0 0 3 5 】

(第2実施形態)

図4は、本発明の第2実施形態を説明するための断面工程図であり、以下この図に基づいて第2実施形態の製造方法を説明する。

【 0 0 3 6 】

まず、図4(1)に示すように、第1実施形態と同様にして、例えば単結晶シリコンからなる半導体基板の表面を酸化シリコン膜で覆ってなる基板11上に、金属配線としてアルミニウム配線12を形成する。

【 0 0 3 7 】

次に、図4(2)に示すように、第1実施形態と同様にして、アルミニウム配線2を埋め込む状態で基板11上にFSG層13を形成する。ただしここでは、例えば、700nmの膜厚でFSG層13を形成する。

【 0 0 3 8 】

以上の後、FSG層13の形成に連続させて、FSG層13の表面層をスパッタリングによって100nm程度除去する。このスパッタリングは、FSG層13の形成と同一チャンバ内においてin-situで行う。

【 0 0 3 9 】

FSG層3のスパッタリング条件の一例を示す。

成膜雰囲気圧力 : 0.67Pa、

ICPパワー : 4.5kW、

バイアスRFパワー : 3.0kW、

成膜ガス及び流量 : $Ar = 130 \text{ (cm}^3 \text{ / min)}$ 、
 : $O_2 = 130 \text{ (cm}^3 \text{ / min)}$ 。

【 0 0 4 0 】

以上の後、必要に応じて第 1 実施形態で説明したと同様に P-TEOS 層を形成し、FSG 層 13 が露出しない程度に CMP 研磨を行い、FSG 層 13 上に P-TEOS 層を積層してなる表面平坦な層間絶縁膜を得る。またその後、ここでの図示は省略したが、層間絶縁膜に接続孔を形成してアルミニウム配線 12 に接続されるプラグを形成し、さらにこのプラグに接続される上層配線を形成し半導体装置を完成させる。

【 0 0 4 1 】

以上説明した製造方法によれば、FSG 層 13 の表面層をスパッタリングすることで、プラズマエネルギーによる低温アニール効果が FSG 層 13 に作用する。このため、スパッタリングの際に、FSG 層 13 形成時に膜中に取り込まれた遊離結合種を FSG 層 13 中から脱離させることができる。図 5 には、FSG 層 13 の表面層をスパッタリングする際の温度プロファイルを示す。この温度プロファイルに示すように、スパッタリングの際には最終的な温度が FSG 層 13 を形成する際の温度条件 (380℃) よりも高くなるため、このスパッタリングの間に FSG 層 13 中の遊離結合種が膜中から脱離されるのである。

【 0 0 4 2 】

しかも、このスパッタリングは FSG 層 13 の形成と同一チャンバ内において連続して in-situ にて行われるため、チャンバ内に対する基板の出し入れ等を行う必要はなく、反応ガスや装置の設定条件を変更するだけで良い。この結果、工程数を増加させることなく、遊離結合種の含有量が少なく膜質の良好な FSG 層 13 を有する層間絶縁膜を得ることができ、例えばこの上部に配線を形成した場合であっても、この配線の剥がれを防止することが可能になる。

【 0 0 4 3 】

さらに、本実施形態においても、第 1 実施形態と同様に FSG 層 13 上の P-TEOS 層を CMP 研磨する際、FSG 層 13 が露出することのないように各条件を設定することで、FSG 層 13 を膜形成時の良好な状態に維持することが可

能になる。

【0044】

以上各実施形態においては、FSG層13を有する層間絶縁膜を平坦化する際にCMP研磨を行う方法を説明した。しかし、層間絶縁膜の平坦化は、P-TEOS層のエッチバックによって行っても良い。層間絶縁膜の平坦化をエッチバックによって行う場合であっても、CMP研磨を行う場合と同様に、エッチバックがFSG層13に達することのないようにエッチバック量を設定することとする。このようにすることで、エッチバックによるFSG層の変質を防止することができる。

【0045】

【発明の効果】

以上説明したように本発明の半導体装置の製造方法によれば、FSG層の形成と、その後のNSG層の形成またはFSG層の表面層のスパッタリングとを、同一チャンバ内において連続的に行うことで、チャンバ内への基板の出し入れを行うことなくFSG層から遊離結合種を脱離させることが可能になる。したがって、工程数を増加させることなく、膜質が良好で誘電率が低く維持されたFSG層を有する層間絶縁膜を形成し、さらにこの層間絶縁膜上に密着性良好に配線を形成することが可能になる。この結果、FSG層を有する層間絶縁膜を従来のプロセスに容易に適用することが可能になるため、素子構造の微細化にともなう容量増大の抑制を低コストで達成することが可能になる。

【図面の簡単な説明】

【図1】

第1実施形態の半導体装置の製造方法を示す断面工程図である。

【図2】

FSG層とNSG層とを同一チャンバ内において連続してin-situ成膜した場合の温度プロファイルを示す図である。

【図3】

昇温による遊離結合種の脱ガス量を示す図である。

【図4】

第 2 実施形態の半導体装置の製造方法を示す断面工程図である。

【図 5】

F S G 層の形成後に同一チャンバ内において連続して in-situ にてその表面層をスパッタリングした場合の温度プロファイルを示す図である。

【図 6】

従来技術を説明するための断面図（その 1）である。

【図 7】

従来技術を説明するための断面図（その 2）である。

【図 8】

CMP 研磨前後における F S G 膜中の S i - F 結合量を示す図である。

【図 9】

CMP 研磨前後における F S G 膜中の水酸基の結合量を示す図である。

【図 1 0】

CMP 研磨前後における F S G 膜の屈折率と比誘電率とを示す図である。

【図 1 1】

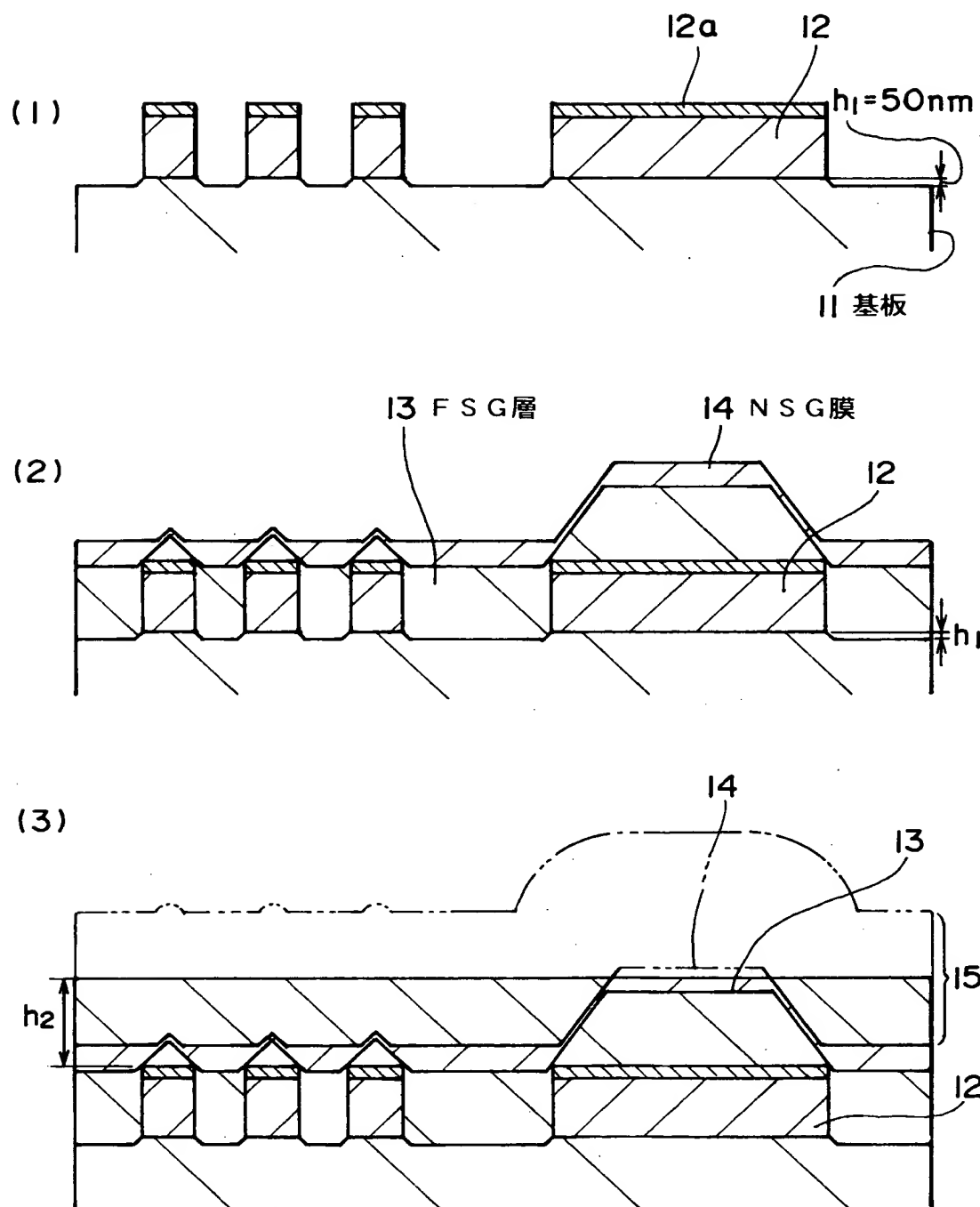
従来技術を説明するための断面図（その 3）である。

【符号の説明】

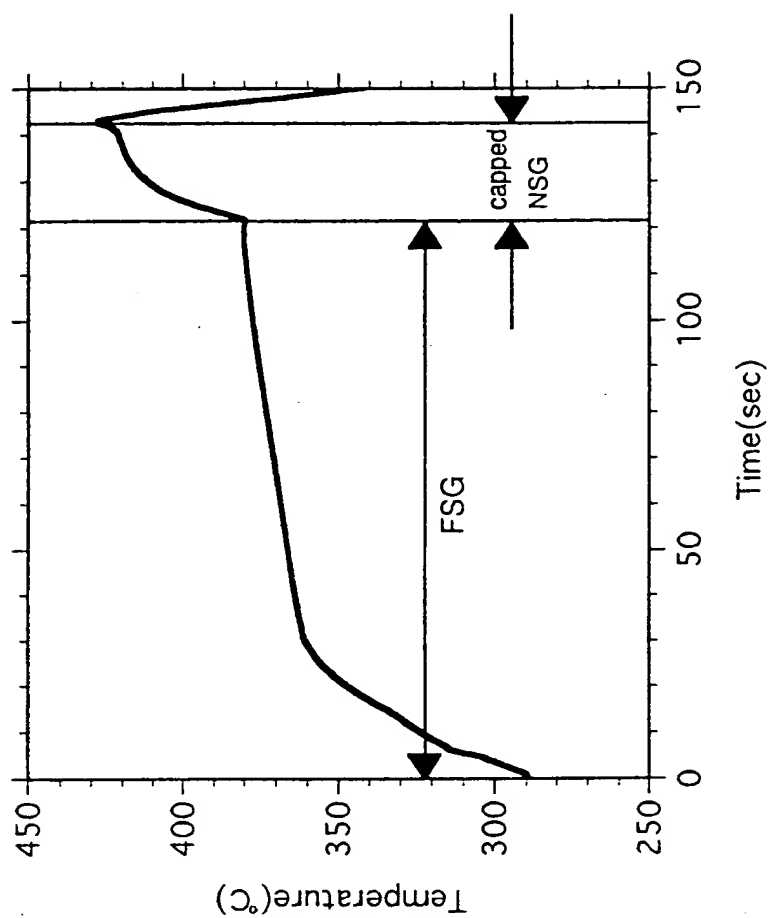
1 1 … 基板、1 3 … F S G 層、1 4 … N S G 層

【書類名】 図面

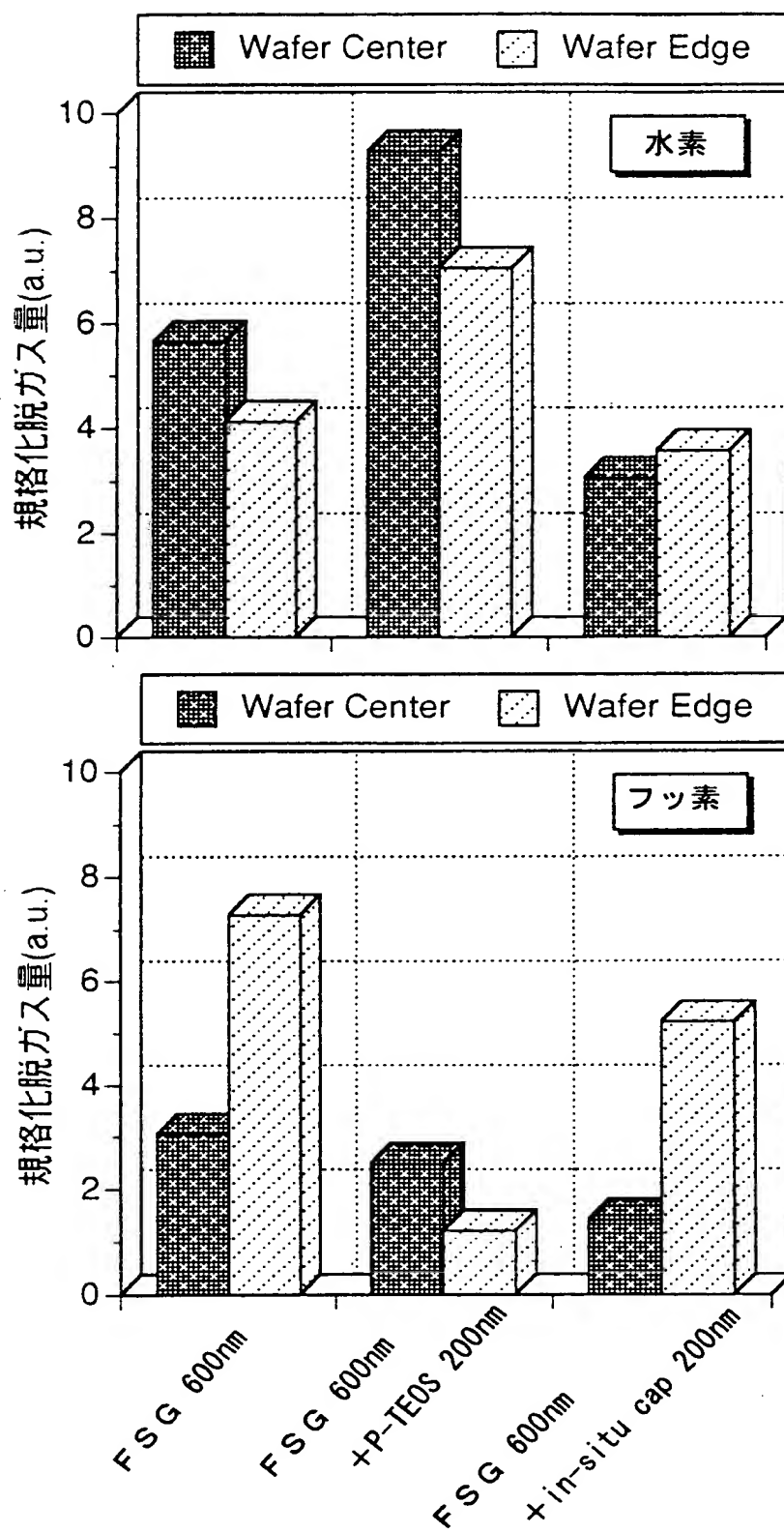
【図 1】



【図 2】

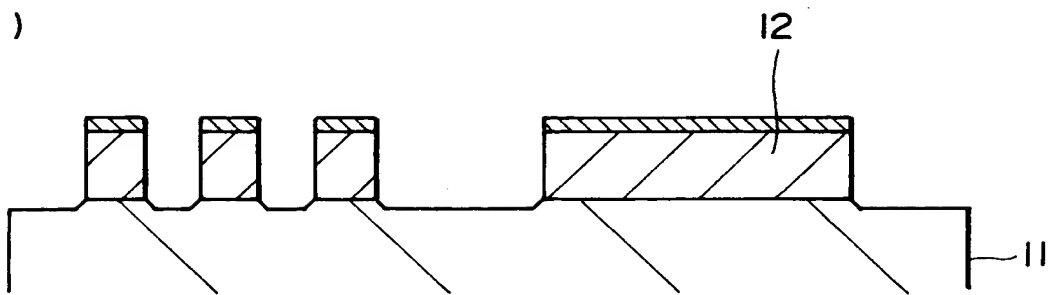


【図 3】

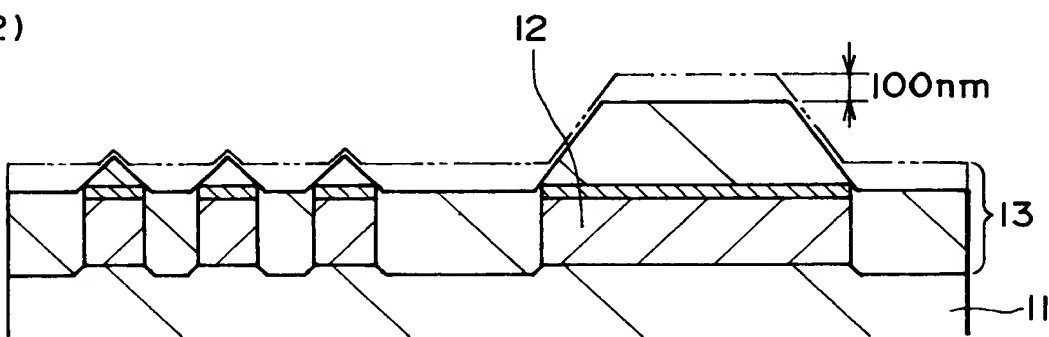


【図 4】

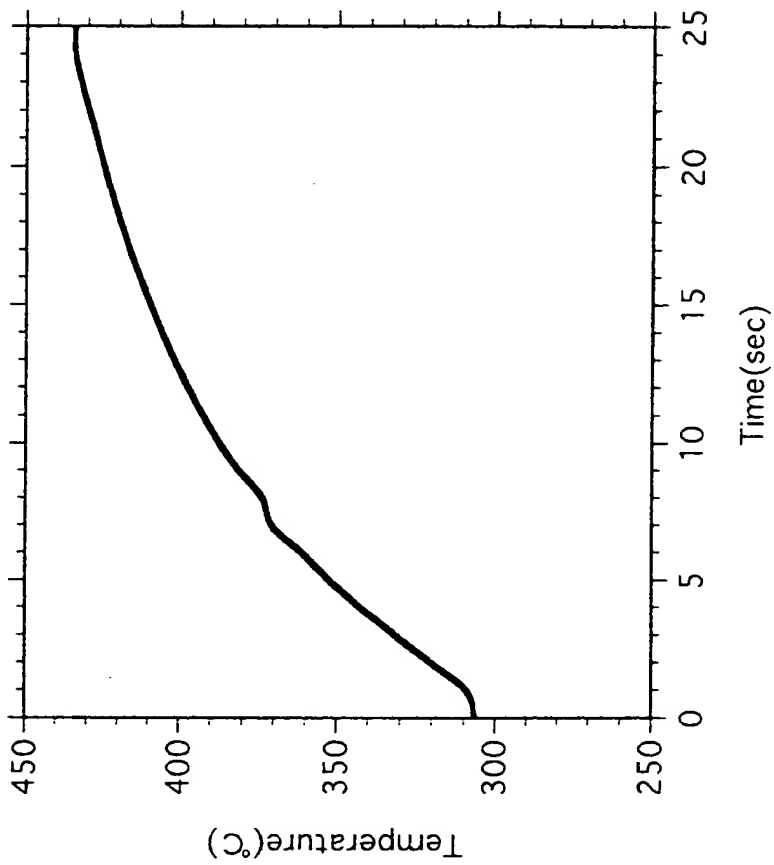
(1)



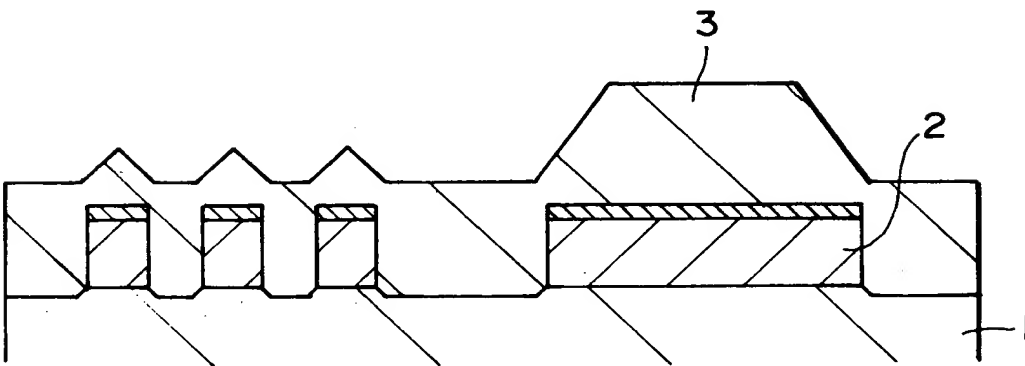
(2)



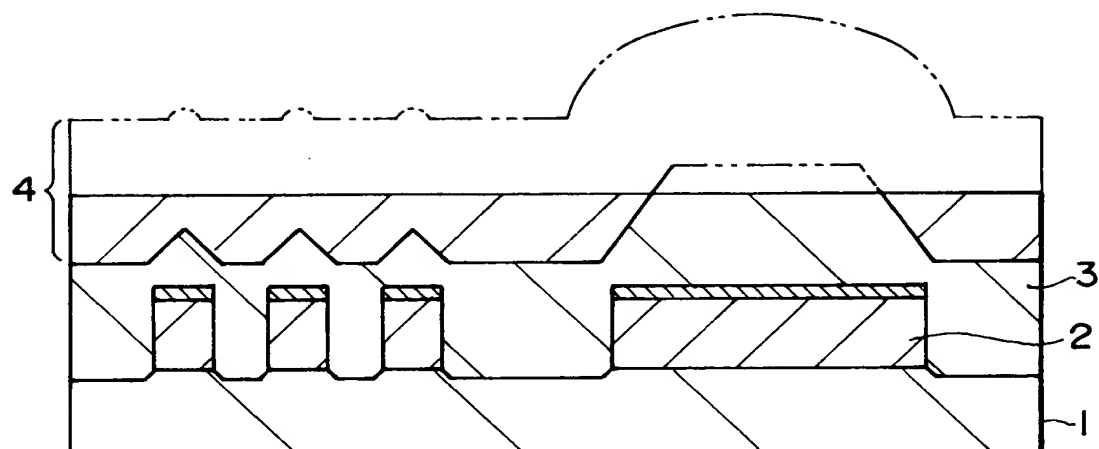
【図 5】



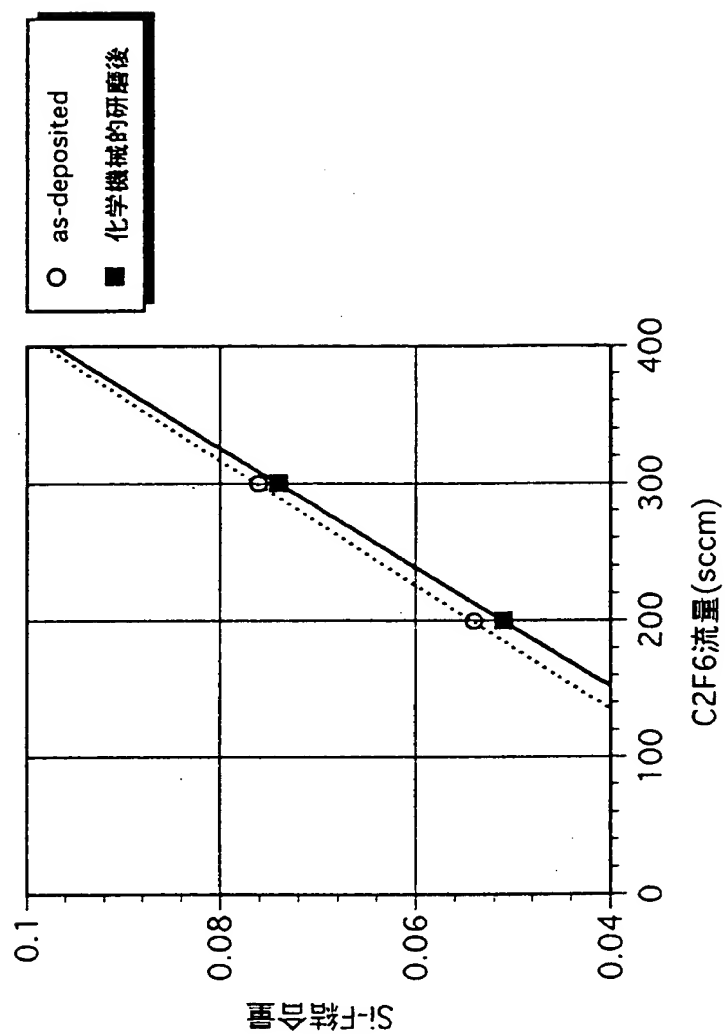
【図 6】



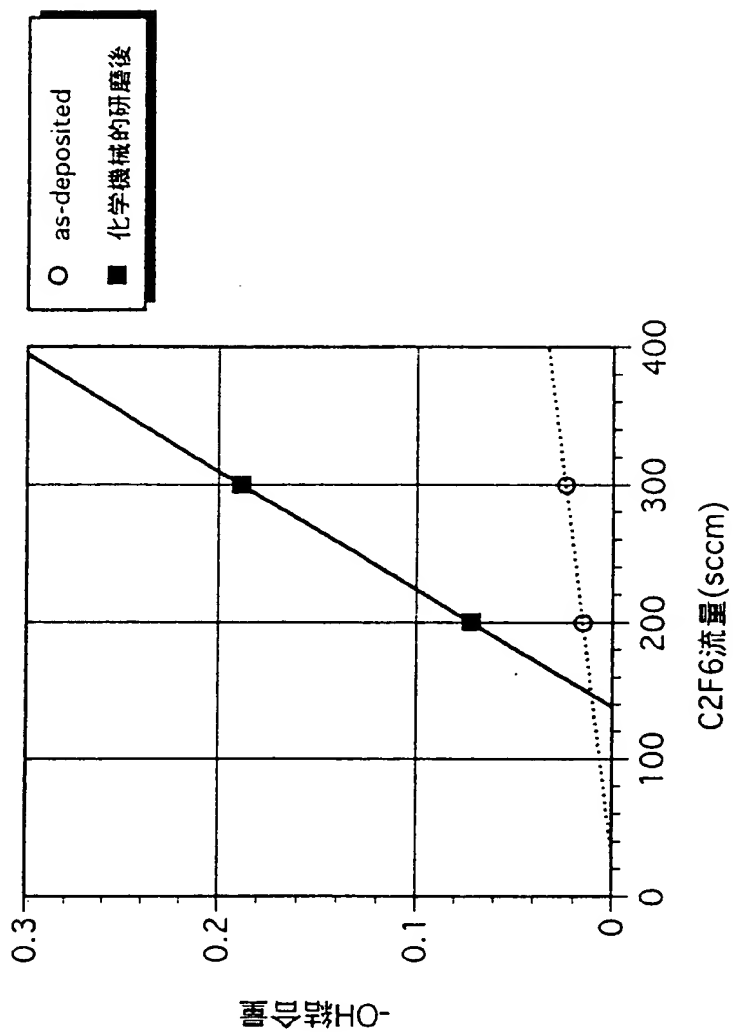
【図 7】



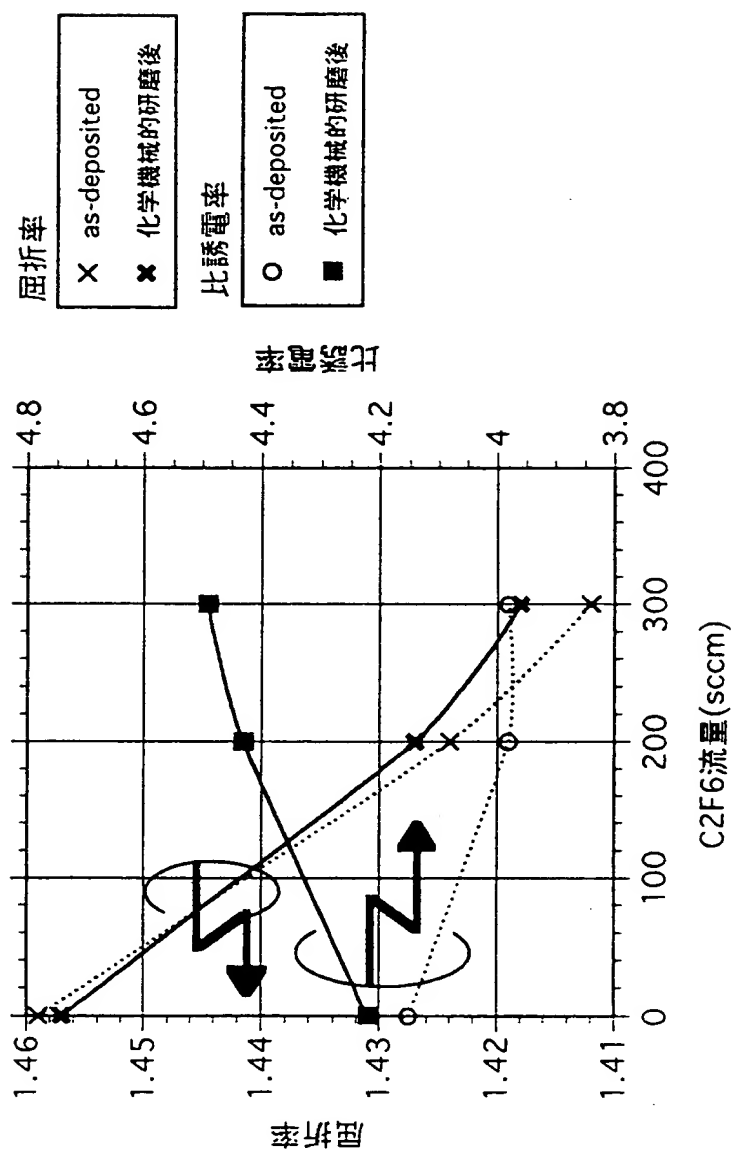
【図 8】



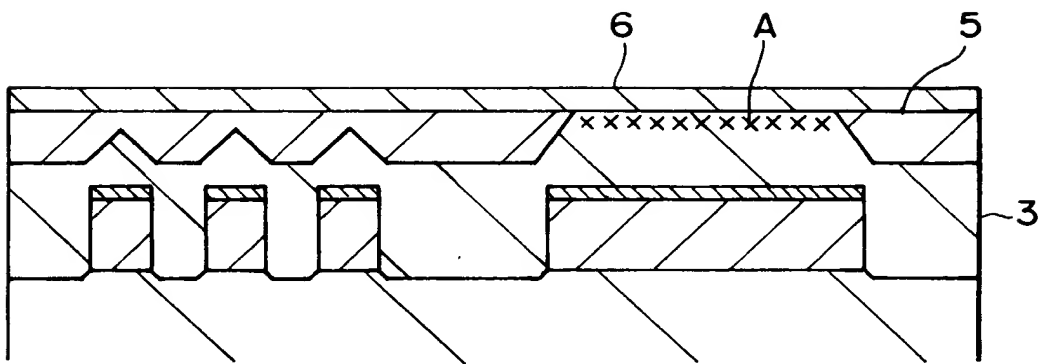
【図 9】



【図10】



【図 11】



【書類名】 要約書

【要約】

【課題】 工程数を増加させることなく膜質の良好な F S G 層を形成する半導体装置の製造方法を提供する。

【解決手段】 基板 1 1 上のアルミニウム配線 1 2 を覆う状態で、プラズマ処理装置のチャンバ内において F S G 層 1 3 を形成した後、このチャンバ内において F S G 層 1 3 の形成に連続させて F S G 層 1 3 の形成温度よりも高い温度条件で N S G 層 1 4 を形成する。その後、N S G 層 1 4 上に P - T E O S 層 1 5 を形成し、F S G 層 1 3 を露出させないように CMP 研磨を行う。これによって、F S G 層 1 3、N S G 層 1 4 を有する表面平坦な層間絶縁膜を形成する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2000-290259
受付番号	50001231488
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 9月26日

<認定情報・付加情報>

【提出日】	平成12年 9月25日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社